

CALCOLATORI ELETTRONICI B – 15 dicembre 2009

NOME:

COGNOME:

MATR:

Scrivere chiaramente in caratteri maiuscoli a stampa

1. Si consideri il seguente frammento di codice MIPS:

add \$s1, \$t1, \$s0

sub \$s1, \$s0, \$t1

lw \$s0, 20(\$s1)

lw \$t0, 10(\$s0)

add \$s0, \$s0, \$s0

Si consideri l'implementazione con pipeline a 5 stadi (F: Fetch, D: Decode, E: Execute, M: Mem, W: Write-Back). Si chiede di:

a) individuare in modo preciso tutte le dipendenze tra i dati

b) tracciare il diagramma temporale delle istruzioni nell'ipotesi sia disponibile un'unità di propagazione verso lo stadio E (indicando esplicitamente le propagazioni e, per ognuna di esse, quale dato è propagato)

c) risolvere il punto precedente supponendo sia disponibile un'unità di propagazione verso lo stadio E ed una verso lo stadio M.

[5]

2. Si consideri l'implementazione con pipeline a 5 stadi dell'esercizio precedente, per la quale si utilizza un hardware che richiede i seguenti tempi di esecuzione:

- prelievo istruzione e accesso alla memoria dati: 3 ns
- ogni altra operazione critica (ALU, decodifica, lettura e scrittura register file): 2 ns

Si assuma un carico di lavoro che prevede la seguente distribuzione delle istruzioni MIPS:

lw:	20 %
sw:	10 %
formato-R:	50 %
beq:	15 %
j:	5 %

Si supponga che metà delle istruzioni di Tipo-R e metà delle lw siano seguite da istruzioni che ne utilizzano il risultato; in particolare, il 25% delle istruzioni che seguono lw utilizzano il risultato nello stadio E (ed eventualmente anche in M), il rimanente 25% utilizzano il risultato solo nello stadio M.

Il processore utilizza una cache primaria distinta per i dati e le istruzioni, mentre non dispone di cache secondaria. La cache, che in caso di successo consente di accedere all'istruzione o al dato in un ciclo di clock, presenta le seguenti caratteristiche:

- percentuale di successo (hit rate): 90% per le istruzioni, 80% per i dati
- penalità di fallimento in scrittura: 5 cicli di clock
- penalità di fallimento in lettura: 10 cicli di clock

Trascurando le criticità sui salti (ovvero, considerando solo le criticità sui dati e i miss di cache), si calcoli il tempo medio di esecuzione per istruzione nei due casi seguenti:

- disponendo di un'unità di propagazione solo verso lo stadio E
- disponendo di un'unità di propagazione verso lo stadio E ed una verso lo stadio M.

Si giustificino brevemente le risposte fornite.

[4]

3. Si consideri, mostrato alla pagina seguente, il datapath corrispondente all'implementazione con tecnica pipeline a 5 stadi relativamente alle istruzioni MIPS lw, sw, beq ed alle istruzioni di tipo-R.

Si vuole implementare la nuova istruzione

$MAX \quad rd, rs, rt \quad // rd \leftarrow (rs > rt) ? rs : rt$

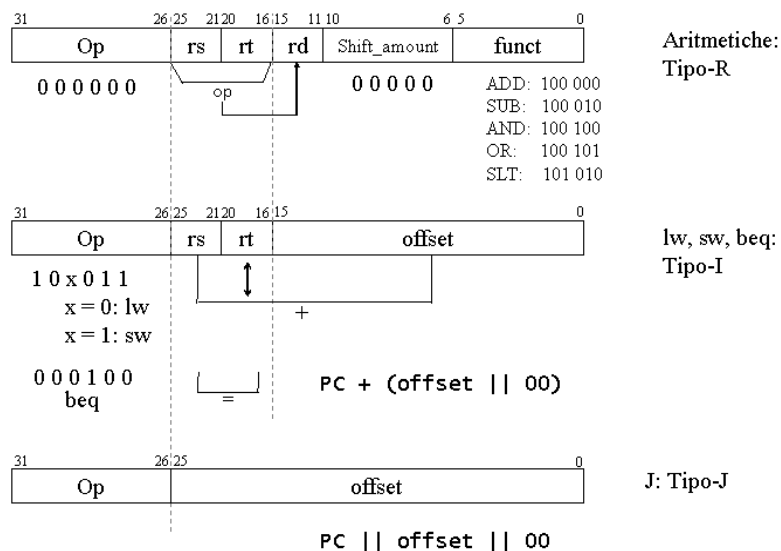
che carica nel registro rd il valore massimo tra i due valori di rs e rt .

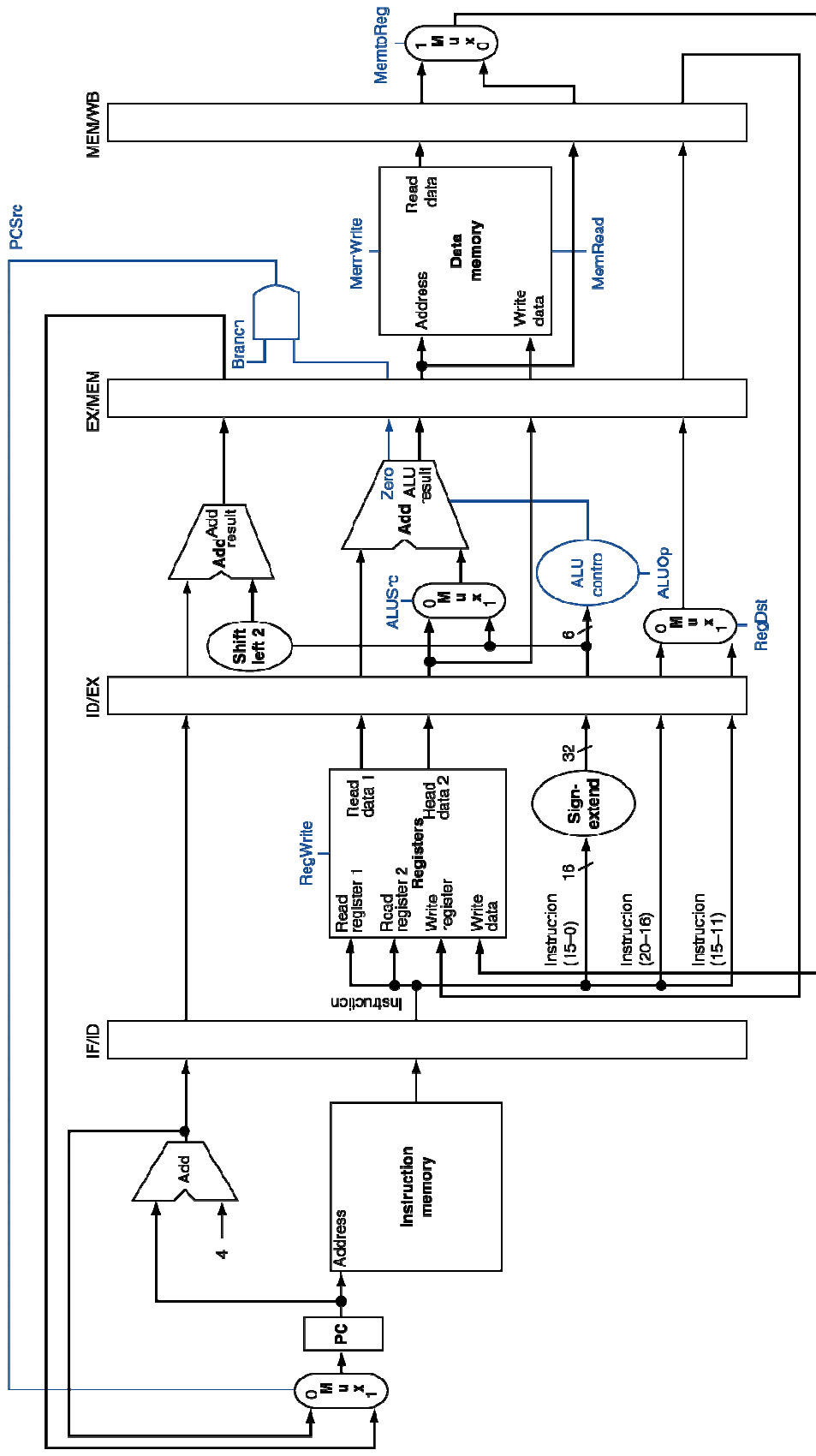
Ricordando i tre formati di codifica delle istruzioni (riportati di seguito) si chiede di:

- riportare il formato della nuova istruzione macchina
- riportare, nella corrispondente figura, le modifiche necessarie al datapath
- specificare come viene implementato il controllo della pipeline, riportando nel datapath l'unità di controllo e precisando (solo per la nuova istruzione) i segnali di controllo settati.

[5]

Promemoria formati delle istruzioni:





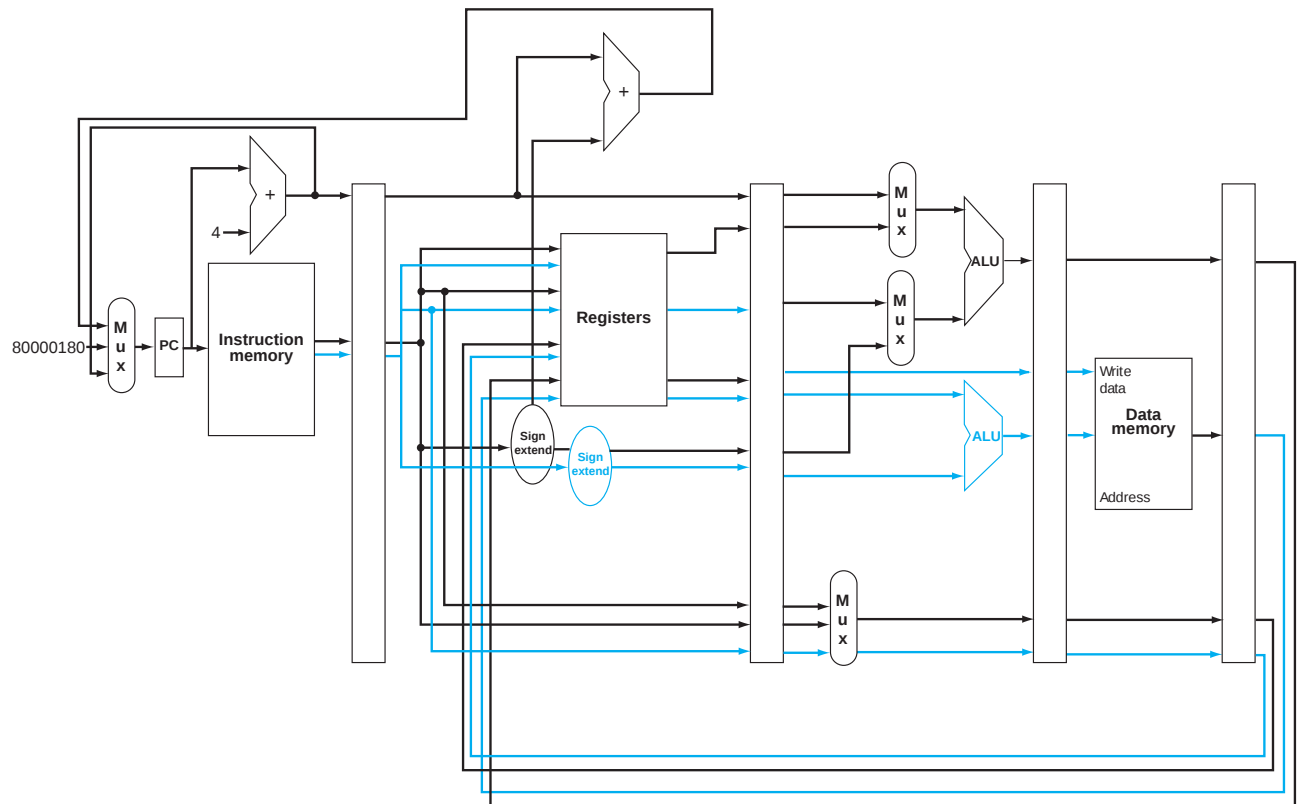
4. In qualità di esperti consulenti dell'implementazione del processore MIPS mediante pipeline, vi viene chiesto di sviluppare possibili varianti progettuali rivolte alla massimizzazione delle prestazioni di particolari tipi di programmi impiegati per scopi specifici. In particolare vi viene chiesto di valutare la possibilità di estendere la pipeline a 5 stadi del MIPS con una nuova istruzione del tipo

MOVE (rt), (rs); $\llbracket M[rt] \leftarrow M[rs]$

che preleva un valore dalla locazione di memoria indirizzata da *rs* e lo scrive nella locazione di memoria indirizzata da *rt*.

Questa proposta nasce dall'esigenza di ottimizzare prestazioni di una particolare applicazione in cui vengono effettuati molti trasferimenti tra locazioni di memoria. Si chiede di esprimere un parere (ben motivato) in merito. [3]

5. Si consideri un processore multiple-issue statico capace di lanciare due istruzioni MIPS per ciclo di clock (un'istruzione Tipo-R o un salto + un'istruzione lw o sw), del quale si riporta uno schema del datapath:



Si consideri in particolare il seguente frammento di codice MIPS:

```

add    $s0, $s0, $s0

sw     $s1, 20($s0)

sub     $t1, $t2, $t3

lw     $s2, 40($s3)

add     $s4, $s5, $s6

sw     $t4, 20($s2)

```

Si ipotizzi che siano disponibili (non indicate in figura) un'unità di rilevazione delle criticità (capace di mettere in stallo la pipeline), un'unità di propagazione verso E ed un'unità di propagazione verso M.

Giustificando le risposte, si chiede di:

- individuare le dipendenze ed indicare quali di esse (e come) possono essere correttamente gestite (tramite stallo e/o propagazione) dall'hardware
- descrivere se e come il compilatore potrebbe ordinare il codice in modo da garantirne un'esecuzione corretta ed efficiente.

6. Si consideri un sistema di memoria virtuale con le seguenti caratteristiche:

- indirizzi virtuali di 40 bit
- dimensione delle pagine: 16 KB
- memoria fisica indirizzata: 2 GB
- bit di controllo utilizzati per ciascuna riga della tabella delle pagine: 6

Si calcoli la dimensione della tabella delle pagine per ciascun processo, assumendo che le pagine virtuali siano tutte utilizzate. [3]

7. E' dato un bus sincrono che collega un processore P ad una memoria M e che consente il trasferimento di parole di memoria a blocchi. Il bus è dotato di linee condivise per dati e indirizzi (bus multiplexato). Le linee di controllo coinvolte in un'operazione di trasferimento di un blocco di parole dal processore alla memoria (scrittura) sono le seguenti:

WRITE: utilizzato dal processore P per segnalare una richiesta di scrittura di un blocco. Esso rimane attivo fino a quando il processore desidera scrivere ulteriori parole (cfr. diagramma successivo).

WAIT: utilizzato dalla memoria per segnalare, prima dell'inizio del trasferimento, la necessità di uno o più cicli di clock di attesa (cfr. diagramma successivo).

La figura seguente riporta l'evoluzione temporale di un'operazione di scrittura di un blocco costituito da due parole, supponendo che la memoria necessiti di un ciclo di clock di attesa.

Si chiede di:

a) Specificare la macchina a stati finiti che controlla l'esecuzione, nel processore P, del protocollo di scrittura di un blocco di due parole, assumendo che la memoria possa richiedere l'attesa di un numero arbitrario di cicli.

b) Specificare la macchina a stati finiti che controlla l'esecuzione, nella memoria M, del protocollo di scrittura da parte del processore di un blocco di un numero generico (non nullo) di parole, assumendo che la memoria M necessiti di richiedere l'attesa di un ciclo di clock.

Le specifiche proposte devono essere coerenti con il diagramma che segue.

[6]

